

特許庁 505P0320W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-286701
(P2000-286701A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 3 L 7/10		H 0 3 L 7/10	Z 5 C 0 2 0
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14	3 5 1 A 5 D 0 4 4
H 0 3 L 7/095		H 0 4 N 5/06	Z 5 J 1 0 6
7/08		H 0 3 L 7/08	B
H 0 4 N 5/06			G
審査請求 未請求 請求項の数 8 O L (全 14 頁)			

(21) 出願番号 特願平11-93575

(22) 出願日 平成11年3月31日 (1999. 3. 31)

(71) 出願人 000006611

株式会社富士通ゼネラル
神奈川県川崎市高津区末長1116番地

(72) 発明者 西村 栄三

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72) 発明者 中島 正道

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(74) 代理人 100076255

弁理士 古澤 俊明 (外 1 名)

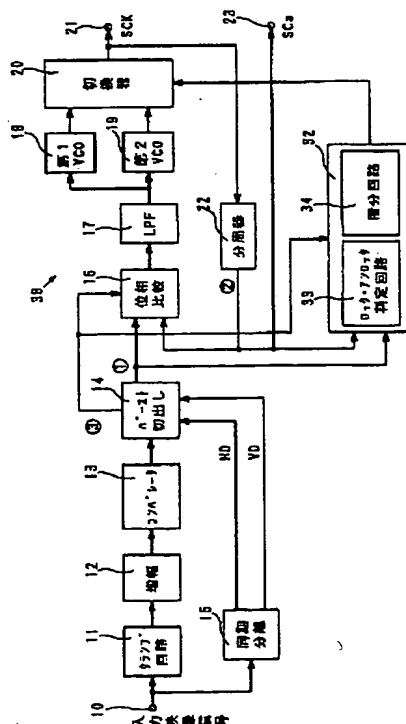
最終頁に続く

(54) 【発明の名称】 位相同期ループ回路

(57) 【要約】

【課題】 発振周波数帯域の異なる第1、第2 VCO 18、19を切り換えて広い周波数範囲の基準信号を取り扱う PLL 回路において、回路構成の簡略化を図るとともに、安定したシステムクロック SCK を供給すること。

【解決手段】 位相比較器 16、LPF 17、第1、第2 VCO 18、19、切換器 20、分周器 22 及びロック・アンロック検出回路 32 を具備し、この検出回路 32 をロック・アンロック判定回路 33 と積分回路 34 で構成し、この判定回路 33 でバースト信号 (基準信号の例) ① と再生バースト信号 (比較信号の例) ② の位相差が 2 c k (クロック) 未満か否かに基づいてロック、アンロックを判定し、積分回路 34 でロック判定時にその判定回数をアップカウントするとともにアンロック判定時にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出し、検出信号で切換器 20 を切り換える。



【特許請求の範囲】

【請求項 1】 基準信号と比較信号を比較し位相差に応じた信号を出力する位相比較器と、この位相比較器から出力する信号に応じた電圧を出力するローパスフィルタと、このローパスフィルタの出力電圧に基づいて発振周波数帯域の異なる複数のパルス信号を出力する電圧制御発振器と、この電圧制御発振器から出力する複数のパルス信号の中から 1 つのパルス信号を選択して出力する切換器と、この切換器から出力するパルス信号の周波数を分周し比較信号として前記位相比較器へフィードバックする分周器と、前記基準信号と比較信号に基づいてロック、アンロックを検出し、検出信号で前記切換器の切り換えを制御するロック・アンロック検出回路とを具備し、前記ロック・アンロック検出回路を、前記基準信号と比較信号の位相差が前記基準信号の周波数より高い周波数に設定されたクロックの n クロック (n は 1 以上の整数) 未満か否かでロック、アンロックを判定するロック・アンロック判定回路と、このロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時にその判定回数をアップカウントするとともに他方の判定時にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出する積分回路とで構成してなることを特徴とする位相同期ループ回路。

【請求項 2】 ロック・アンロック判定回路は、基準信号の立ち上がり (又は立ち下がり) を検出してクロックに同期した一定時間幅のパルスを出力する第 1 エッジ検出器と、この第 1 エッジ検出器の出力パルスのパルス幅をクロックの 2 クロック幅に変換する 2 クロック幅化回路と、比較信号の立ち上がり (又は立ち下がり) を検出してクロックに同期した一定時間幅のパルスを出力する第 2 エッジ検出器と、この第 2 エッジ検出器の出力パルスをクロックの 1 クロック分遅延する 1 クロック遅延器と、前記 2 クロック幅化回路の出力パルスのパルス幅内に、前記第 2 エッジ検出器の検出信号又は前記 1 クロック遅延器の出力信号が現われるか否かでロック、アンロックの判定信号を出力するゲート回路とからなる請求項 1 記載の位相同期ループ回路。

【請求項 3】 積分回路は、ロック・アンロック判定回路の判定信号をアップ・ダウン制御信号として第 1 エッジ検出器の検出信号を計数するアップダウンカウンタと、このアップダウンカウンタの計数値が増加して第 1 設定値に達したときにロックを検出し、前記アップダウンカウンタの計数値が減少して第 2 設定値 (第 1 設定値より小さい値) に達したときにアンロックを検出する検出回路とからなる請求項 1 又は 2 記載の位相同期ループ回路。

【請求項 4】 第 1 エッジ検出器とアップダウンカウンタの間に、前記第 1 エッジ検出器から出力する検出信号のパルス幅を広げて前記アップダウンカウンタへ出力する第 1 パルス幅拡大回路を設け、ゲート回路と前記アップ

ダウンカウンタの間に、前記ゲート回路から出力する判定信号のパルス幅を広げて前記アップダウンカウンタへ出力する第 2 パルス幅拡大回路を設けてなる請求項 3 記載の位相同期ループ回路。

【請求項 5】 基準信号は、バースト切出し回路によって複合映像信号から切り出されたカラーバースト信号としてなる請求項 1、2 又は 4 記載の位相同期ループ回路。

【請求項 6】 基準信号は、バースト切出し回路によって複合映像信号から切り出されたカラーバースト信号としてなる請求項 3 記載の位相同期ループ回路。

【請求項 7】 基準信号は、水平同期分離回路によって複合映像信号から分離された水平同期信号としてなる請求項 1、2 又は 4 記載の位相同期ループ回路。

【請求項 8】 基準信号は、水平同期分離回路によって複合映像信号から分離された水平同期信号としてなる請求項 3 記載の位相同期ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、TV 信号 (テレビジョン放送局からの映像信号) や VTR 信号 (ビデオテープレコーダからの映像信号) などの映像信号をディジタル処理するために使用されるクロック (例えばシステムクロック) を生成する位相同期ループ回路 (以下、単に PLL 回路と記述する) に関するものである。

【0002】

【従来の技術】 薄型、軽量のディスプレイ装置として、PDP (プラズマディスプレイパネル) や LCD (液晶ディスプレイ) パネルを用いた表示装置が注目されている。このような表示装置はディジタル信号による直接駆動方式であるため、アナログの合成映像信号を入力とする場合、A/D (アナログ/ディジタル) 変換等のディジタル処理用のシステムクロックを生成する PLL 回路が必要となる。このような PLL 回路にはロックレンジの広いものが望まれている。従来、この種の PLL 回路には、図 10 に示すようなバーストロック PLL 回路や図 11 に示すようなラインロック PLL 回路が知られている。

【0003】 図 10 に示すバーストロック PLL 回路は次のように構成されていた。すなわち、入力端子 10 に入力した映像信号 (例えば TV 信号) は、その直流レベルがクランプ回路 11 で所定レベルに固定され、増幅回路 12 で増幅され、コンパレータ 13 で所定レベル以上がカットされてバースト切出し回路 14 に入力する。同期分離回路 15 は入力映像信号から水平同期信号 HD と垂直同期信号 VD を分離してバースト切出し回路 14 に出力する。そして、バースト切出し回路 14 は、コンパレータ 13 から出力した映像信号と同期分離回路 15 から出力した水平同期信号 HD 及び垂直同期信号 VD に基づいて、カラーバースト信号 (以下、単にバースト信号という。) ① を切り出して出力するとともにバースト切

出し期間信号（以下、単にバースト期間信号という。）
 ③を出力する。位相比較器 16 は、バースト期間信号③
 の出力している期間、バースト信号①を基準信号として
 再生カラーバースト信号（以下、単に再生バースト信号
 という。）（比較信号の一例である。）②と比較して位
 相差に応じた信号を出力し、LPF（ローパスフィル
 タ）17 は位相比較器 16 の出力を積分して得た位相誤
 差電圧を制御電圧として第 1、第 2 VCO（電圧制御発
 振器）18、19 に出力する。第 1、第 2 VCO 18、
 19 は、全体の発振周波数帯域を広くするために（ロッ
 クレンジを広くするために）設けられたもので、同じ制
 御電圧に対して発振周波数帯域が異なる 2 種類のパルス
 を出力し、切換器 20 は 2 種類の出力パルスのうちの 1
 つを選択しシステムクロック SCK（以下、単に SCK
 という。）として第 1 出力端子 21 から出力する。分周
 器 22 は SCK の周波数を整数分の 1 に分周して第 2 出
 力端子 23 からサブキャリア SCa（以下、単に SCa
 という。）として出力するとともに、この SCa を再生
 バースト信号②として位相比較器 16 へフィードバック
 する。A/D（アナログ/デジタル）変換器 24 は、
 LPF 17 の出力電圧（位相誤差電圧）をデジタル信
 号に変換してマイコン 25 に出力し、このマイコン 25
 は、LPF 17 の出力電圧に基づいて、位相比較器 1
 6、LPF 17、第 1、第 2 VCO 18、19、切換器
 20 及び分周器 22 からなる PLL 回路 26 のロック、
 アンロックを検出し、切換器 20 の切り換えを制御す
 る。

【0004】また、図 11 に示したラインロック PLL
 回路は、入力端子 10 に入力した映像信号（例えば TV
 信号）から水平同期信号 HD を分離する水平同期分離回
 路 27 と、位相比較器 31、LPF 17、VCO 28、
 1/2 分周器 29、切換器 20 及び分周器 22 からなる
 PLL 回路 30 と、A/D 変換器 24 と、マイコン 25
 とで構成されていた。位相比較器 31 は水平同期信号 HD
 を基準信号として比較信号と比較し、LPF 17 は位
 相比較器 31 の出力を積分して位相誤差電圧（制御電
 圧）を VCO 28 に出力し、1/2 分周器 29 は VCO
 28 から出力するパルスの周波数を 1/2 に分周して出
 力する。切換器 20 は、VCO 28 と 1/2 分周器 29
 から出力する 2 種類のパルスのうちの 1 つを選択し SC
 K として第 1 出力端子 21 から出力する。分周器 22 は
 SCK の周波数を整数分の 1 に分周し比較信号として位
 相比較器 31 へフィードバックする。A/D 変換器 24
 は、LPF 17 の出力電圧をデジタル信号に変換して
 マイコン 25 に出力し、このマイコン 25 は、LPF 1
 7 の出力電圧に基づいて PLL 回路 30 のロック、アン
 ロックを検出し、切換器 20 の切り換えを制御する。

【0005】

【発明が解決しようとする課題】しかしながら、図 10
 及び図 11 に示した従来例では、A/D 変換器 24 とマ

イコン 25 を用いて PLL 回路 26、30 のロック、ア
 ンロックを検出していたので、回路構成が複雑になると
 という問題点があった。本発明は、上述の問題点に鑑みて
 なされたもので、発振周波数帯域の異なる複数のパルス
 信号を切り換えて広い周波数範囲の基準信号を取り扱う
 PLL 回路において、回路構成の簡略化を図るととも
 に、安定したクロックを供給することを目的とするもの
 である。

【0006】

【課題を解決するための手段】本発明による PLL 回路
 は、基準信号と比較信号を比較し位相差に応じた信号を
 出力する位相比較器と、この位相比較器から出力する信
 号に応じた電圧を出力するローパスフィルタと、このロ
 ーパスフィルタの出力電圧に基づいて発振周波数帯域の
 異なる複数のパルス信号を出力する電圧制御発振器と、
 この電圧制御発振器から出力する複数のパルス信号の中
 から 1 つのパルス信号を切り換えて出力する切換器と、
 この切換器から出力するパルス信号の周波数を分周し比
 較信号として位相比較器へフィードバックする分周器
 と、基準信号と比較信号に基づいてロック、アンロック
 を検出し、検出信号で切換器の切り換えを制御するロッ
 ク・アンロック検出回路とを具備し、ロック・アンロッ
 ク検出回路を、基準信号と比較信号の位相差が基準信号
 の周波数より高い周波数に設定されたクロックの n クロ
 ック（n は 1 以上の整数）未満か否かでロック、アンロ
 ックを判定するロック・アンロック判定回路と、このロ
 ック・アンロック判定回路のロック判定とアンロック判
 定の一方の判定時にその判定回数をアップカウントする
 とともに他方の判定時にその判定回数をダウンカウン
 トし、その計数値に基づいてロック、アンロックを検出
 する積分回路とで構成してなることを特徴とする。

【0007】ロック・アンロック判定回路は、基準信号
 と比較信号の位相差が n クロック（例えば 2 クロック）
 未満か否かに基づいてロック、アンロックを判定し、積
 分回路は、ロック・アンロック判定回路のロック判定と
 アンロック判定の一方の判定時（例えばロック判定時）
 にその判定回数をアップカウントするとともに他方の判
 定時（例えばアンロック判定時）にその判定回数をダウ
 ンカウントし、その計数値に基づいてロック、アンロッ
 クを検出する。切換器は、積分回路から出力するロッ
 ク、アンロックの検出信号に基づいて、電圧制御発振器
 から出力する複数のパルス信号の中から 1 つのパルス信
 号を選択して出力する。ロック・アンロック検出回路を
 ロジックで構成可能なロック・アンロック判定回路と積
 分回路で構成したので、ロック・アンロック検出回路を
 A/D 変換器とマイコンで構成した従来例と比べて、回
 路構成を簡単にすることができる。ロック・アンロッ
 ク判定回路でロック、アンロックと判定されても、直ちに
 PLL 回路をロック、アンロックするのではなく、積分
 回路でヒステリシスをもたせて PLL 回路をロック、ア

10

20

30

40

50

ンロックとしているので、より安定したクロックを供給することができる。

【0008】ロック・アンロック判定回路の構成を簡単にするために、ロック・アンロック判定回路を、基準信号の立ち上がり（又は立ち下がり）を検出してクロックに同期した一定時間幅のパルスを出力する第1エッジ検出器と、この第1エッジ検出器の出力パルスのパルス幅を計測用のクロックの2クロックに変換する2クロック幅化回路と、比較信号の立ち上がり（又は立ち下がり）を検出してクロックに同期した一定時間幅のパルスを出力する第2エッジ検出器と、この第2エッジ検出器の出力パルスを1クロック分遅延する1クロック遅延器と、2クロック幅化回路の出力パルスのパルス幅内に、第2エッジ検出器の検出信号又は1クロック遅延器の出力信号が現われるか否かでロック、アンロックの判定信号を出力するゲート回路とで構成する。

【0009】積分回路の構成を簡単にするために、積分回路を、ロック・アンロック判定回路の判定信号をアップ・ダウン制御信号として第1エッジ検出器の検出信号を計数するアップダウンカウンタと、このアップダウンカウンタの計数値が増加して第1設定値に達したときにロックを検出し、アップダウンカウンタの計数値が減少して第2設定値（第1設定値より小さい値）に達したときにアンロックを検出する検出回路とで構成する。

【0010】積分回路の動作をより安定化させるために、第1エッジ検出器とアップダウンカウンタの間に第1エッジ検出器から出力する検出信号のパルス幅を広げてアップダウンカウンタへ出力する第1パルス幅拡大回路を設け、ゲート回路とアップダウンカウンタの間にゲート回路から出力する判定信号のパルス幅を広げてアップダウンカウンタへ出力する第2パルス幅拡大回路を設ける。

【0011】バーストロックPLL回路に利用可能とするために、基準信号をバースト切出し回路によって複合映像信号から切り出されたカラーバースト信号とする。

【0012】ラインロックPLL回路に利用可能とするために、基準信号を水平同期分離回路によって複合映像信号から分離された水平同期信号とする。

【0013】

【発明の実施の形態】以下、本発明の実施の形態例を図面により説明する。図1は本発明によるPLL回路の一実施形態例を示すもので、図10と同一部分は同一符号とする。図1において、10は入力端子、11はクランプ回路、12は増幅回路、13はコンパレータ、14はバースト切出し回路、15は同期分離回路、16は位相比較器、17はLPF、18は第1VCO、19は第2VCO、20は切換器、21はSCKを出力する第1出力端子、22は分周器、23はSCAを出力する第2出力端子で、図10と同一なので説明を省略する。32は本発明に特有のロック・アンロック検出回路で、このロ

ック・アンロック検出回路32はロック・アンロック判定回路33と積分回路34を具備するとともに、図2に示すように第1、第2パルス幅拡大回路35、36及びクロック発生回路37を具備している。38はPLL回路で、このPLL回路38は前記位相比較器16、LPF17、第1、第2VCO18、19、切換器20及び分周器22で構成されている。

【0014】前記クロック発生回路37は、バースト信号①の周波数 F_{sc} ($F_{sc} = 3.58\text{MHz}$)の8倍の周波数のクロック ck （以下、単に ck という。）を生成し、計測用のクロックとして出力する。前記ロック・アンロック判定回路33は、図2に示すように、第1、第2エッジ検出器40、41、2クロック幅化回路42、1クロック遅延器43及びゲート回路44で構成されている。前記第1エッジ検出器40は、バースト期間信号③のHレベル時に動作し、基準信号としてのバースト信号①の立ち上がりを検出して ck に同期した1クロック幅（以下、単に $1ck$ 幅という。）のパルス④を出力する。前記第2エッジ検出器41は、比較信号としての再生バースト信号②の立ち上がりを検出して ck に同期した $1ck$ 幅のパルス⑤を出力する。前記2クロック幅化回路42は、前記第1エッジ検出器40の出力パルスのパルス幅を2クロック幅（以下、単に $2ck$ 幅という。）に変換した信号⑥を出力する。前記1クロック遅延器43は、第2エッジ検出器41の出力パルス⑥を1クロック分遅延した信号⑦を出力する。前記ゲート回路44は2入力のアンドゲート45、46及びノアゲート47で構成され、一方のアンドゲート45は信号⑤と信号⑦の論理積信号を出力し、他方のアンドゲート46は信号⑤と信号⑥の論理積信号を出力し、ノアゲート47はアンドゲート45の出力信号とアンドゲート46の出力信号の論理和信号を反転した信号を出力する。

【0015】前記第1パルス幅拡大回路35はナンドゲート50、4ビットのカウント51及び1クロック遅延器52で構成されている。前記ナンドゲート50は、前記第1エッジ検出器40の出力信号④をインバータ53で反転した信号と前記カウント51のRCO（リップルキャリーアウト）との論理積信号を反転して、前記カウント51のENP（イネーブル端子）に出力する。前記カウント51は、前記第1エッジ検出器40の出力信号④をインバータ53で反転した信号をLD（ロード端子）への入力としてデータ「Dh」（4ビット表示の1101に相当する。）をロードし、ENPのHレベルで ck を計数し、計数値が「Fh」（4ビット表示の1111に相当する。）になるとRCOがHレベルとなる。前記1クロック遅延器52は、前記カウント51のRCOを1クロック分遅延した信号を、BCLKXとして前記積分回路34のクロック端子へ出力する。

【0016】前記第2パルス幅拡大回路36はナンドゲート54、4ビットのカウント55及び1クロック遅延

器 56 で構成されている。前記ナンドゲート 54 は、前記ゲート回路 44 の出力信号を 1 クロック遅延器 57 で 1 c k 分遅延した信号⑧と前記カウンタ 55 の RCO との論理積信号を反転して、前記カウンタ 55 の ENP に出力する。前記カウンタ 55 は、前記ゲート回路 44 の出力信号を 1 クロック遅延器 57 で 1 c k 分遅延した信号⑧を LD への入力としてデータ「Dh」をロードし、ENP の H レベルで c k を計数し、計数値が「Fh」になると RCO が H レベルとなる。前記 1 クロック遅延器 56 は、前記ナンドゲート 54 の出力信号を 1 クロック c k 分遅延した信号を、BLOCK として前記積分回路 34 の U/D (アップ/ダウン) 制御端子へ出力する。

【0017】前記積分回路 34 は、図 3 に示すように、8 ビットのアップダウンカウンタ 60 と検出回路 61 で構成されている。前記アップダウンカウンタ 60 は、前記第 2 パルス幅拡大回路 36 から出力する BLOCK を U/D 制御端子への入力とし、その RC (リップルキャリ) 出力を EN (イネーブル) 端子への入力とし、前記第 1 パルス幅拡大回路 35 から出力する BCLKX を計数し、計数値が「FFh」又は「00h」に至ると計数を停止する。前記検出回路 61 はアンドゲート 62、ノアゲート 63 及び JK-FF (フリップフロップ) 64 で構成されている。前記アンドゲート 62 は前記アップダウンカウンタ 60 の Q7 (最上位から 1 番目のビット) 出力と Q6 (最上位から 2 番目のビット) 出力の論理積信号を出力し、前記ノアゲート 63 は前記アップダウンカウンタ 60 の Q7 出力と Q6 出力の論理和信号を反転した信号を出力する。前記 JK-FF 64 は、前記アンドゲート 62 の出力信号を J 端子への入力とし、前記ノアゲート 63 の出力信号を K 端子への入力とし、BCLKX を計数する。このため、アップダウンカウンタ 60 の計数値が増加して「C0h」に至ったとき (Q7 = 1、Q6 = 1 のとき) には、JK-FF 64 の J 端子入力が H レベルとなってその Q 出力が BCLKX に同期して H レベル (ロック) となり、アップダウンカウンタ 60 の計数値が減少して「3Fh」に至ったとき (Q7 = 0、Q6 = 0 のとき) には、JK-FF 64 の K 端子入力が H レベルとなってその Q 出力が BCLKX に同期して L レベル (アンロック) となる。

【0018】つぎに前記実施形態例の作用を図 4 ~ 図 8 を併用して説明する。

(1) 入力端子 10 に入力した映像信号 (例えば TV 信号) は、クランプ回路 11 によって直流レベルが所定レベルに固定され、増幅回路 12 で増幅され、コンパレータ 13 で所定レベル以上がカットされバースト切出し回路 14 に入力する。同期分離回路 15 によって入力映像信号から分離された水平同期信号 HD と垂直同期信号 VD はバースト切出し回路 14 に入力する。

【0019】(2) バースト切出し回路 14 は、コンパレータ 13 から入力した映像信号と同期分離回路 15 か

ら入力した水平同期信号 HD 及び垂直同期信号 VD に基づいてバースト信号①とバースト期間信号③を出力する。このバースト信号①は基準信号として PLL 回路 26 の位相比較器 16 に入力し、バースト期間信号③はイネーブル信号として位相比較器 16 に入力する。

【0020】(3) 位相比較器 16 は、バースト期間信号③の出力している期間、バースト信号①を比較信号としての再生バースト信号②と比較して位相差に応じた信号を出力し、LPF 17 は位相比較器 16 の出力を積分して得た位相誤差電圧を制御電圧として第 1、第 2 VCO 18、19 に出力する。第 1、第 2 VCO 18、19 から出力した発振周波数帯域が異なる 2 つのパルス信号の一方が、切換器 20 によって選択され SCK として第 1 出力端子 21 から出力するとともに、分周器 22 で整数分の 1 に分周されて第 2 出力端子 23 から Sca として出力し、この Sca は再生バースト信号②として位相比較器 16 にフィードバックされる。

【0021】(4) 前記 (3) において、切換器 20 が第 1、第 2 VCO 18、19 の出力する 2 つのパルス信号のうちの何れを選択して SCK とするかは、ロック・アンロック検出回路 32 の検出信号によって決まり、この検出信号はバースト信号①と再生バースト信号②の位相差によって決まる。このため、位相差が 0 の場合

(A)、位相差が 2 c k 未満の場合 (B) (C)、位相差が 2 c k 以上の場合 (D) に分けて説明する。

【0022】(A) 説明の便宜上、切換器 20 が第 1、第 2 VCO 18、19 のうちの第 1 VCO 18 を選択し、バースト信号①と再生バースト信号②の位相が一致した場合 (位相差が 0 の場合) を図 4 及び図 8 を併用して説明する。

(i) クロック発生回路 37 から出力する c k (周波数 8 F s c) を図 4 (a) とすると、周波数 F s c のバースト信号①は同図 (c) に示すように 8 c k を 1 周期とするパルス信号となり、再生バースト信号②は同図 (d) に示すようにバースト信号①と同一位相となる。

【0023】(ii) バースト切出し回路 14 から出力するバースト期間信号③が L レベルの期間 (図 4 (b) の左側に示した期間) では、第 1 エッジ検出器 40 が動作しないので、第 1 エッジ検出信号④、2 c k 幅化信号⑤が同図 (e) (f) に示すように L レベル、第 1 カウンタ 51 の計数値が同図 (j) に示すように「Fh」、第 1 カウンタ 51 の RCO、BCLKX が同図 (k) (n) に示すように H レベルを継続する。L レベルの 2 c k 幅化信号⑤はゲート回路 44 のアンドゲート 45、46 に入力し、図 4 (i) に示すような H レベルの信号が第 2 カウンタ 55 の LD 端子に入力するので、第 2 カウンタ 55 の計数値が同図 (l) に示すように「Fh」、第 2 カウンタ 55 の RCO が同図 (m) に示すように H レベル、BLOCK が同図 (o) に示すように L レベルを継続する。

10

20

30

40

50

【0024】(iii)バースト期間信号③がHレベルの期間(図4(b)の右側に示した期間)では、第1エッジ検出器40が動作してバースト信号①の立ち上がりを検出し、図4(e)に示すようなckに同期した1ck幅の第1エッジ検出信号④が出力する。この信号④がインバータ53で反転し第1カウンタ51のLD端子に入力して初期値「Dh」をロードするので、第1カウンタ51の計数値は図4(j)に示すように変化する。すなわち、ロード時に計数値が「Fh」から「Dh」に変化するとともに、図4(k)に示すようにRCOがLレベルに変化してENPをHレベルとして第1カウンタ51をイネーブルとし計数を始める。そして、第1カウンタ51の計数値が「Fh」に至るとRCOがHレベルに変化してENPをLレベルとして第1カウンタ51をディスエーブルとする。このため、BCLKXは、図4(n)に示すように、同図(k)のRCOを1ck遅延させた信号となる。

【0025】(iv)第2エッジ検出器41は再生バースト信号②の立ち上がりを検出して図4(g)に示すような第2エッジ検出信号⑥をアンドゲート46に出力し、1クロック遅延器43は第2エッジ検出信号⑥を1クロック遅延して同図(h)に示すような1ck遅延信号⑦を出力する。また、2クロック幅化回路42は信号④のパルス幅を2倍して図4(f)に示すような2ck幅化信号⑤をアンドゲート45、46に出力する。このため、図4(i)に示すような信号⑧がナンドゲート54に入力するとともに、第2カウンタ55のLD端子に入力する。この信号⑧は、信号⑤がHレベルでかつ信号⑥又は⑦の一方がHレベルの期間だけHレベルとなる信号を反転させ、1ck遅延させた信号となる。

【0026】(v)信号⑧により第2カウンタ55のLD端子がLレベルになると、このLレベルの間(2ck期間)第2カウンタ55は初期値「Dh」をロードするので、第2カウンタ55の計数値は図4(l)に示すように変化する。すなわち、ロード時に計数値が「Fh」から「Dh」に変化するとともに、図4(m)に示すようにRCOがLレベルに変化してENPをHレベルとして第2カウンタ55をイネーブルとし計数を始める。そして、第2カウンタ55の計数値が「Fh」に至るとRCOがHレベルに変化してENPをLレベルとして第2カウンタ55をディスエーブルとする。このため、BCLKXは図4(o)に示すようにBCLKXの立上り時にHレベル状態にあり、Hレベル期間が4ck、Lレベル期間が4ckのパルス信号となる。

【0027】(vi)積分回路34内のアップダウンカウンタ60は、BCLKXがHレベルのときにアップカウンタとして動作してBCLKXの立ち上がりを計数するので、8ck毎に+1カウントする。このため、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が増加し第1設定値としての「C0h」に至ると、

JK-FF64のQ出力がLレベルからHレベルに変化する。すなわち、計数値が「C0h」に至るとアップダウンカウンタ60はQ7=1、Q6=1となり、アンドゲート62の出力がHレベル(ノアゲート63の出力はLレベル)となってJK-FF64のJ端子に入力するので、Q出力がLレベルからHレベルに変化してロック検出信号を切換器20に出力する。このため、切換器20が第1、第2VCO18、19の一方(例えば第1VCO18)の出力を選択し、SCKとして第1出力端子21から出力している状態が継続する。このSCKは分周器22で整数分の1に分周され、再生バースト信号②として位相比較器16にフィードバックされ位相同期制御が行われる。

【0028】(B)について、切換器20が第1VCO18を選択し、再生バースト信号②はバースト信号①より位相遅れであるが、その位相差が2ck未満の場合を、図5及び図8を併用して説明する。説明の便宜上、バースト信号①、再生バースト信号②が図5(c)(d)に示すようなタイミングで現われ、バースト期間信号③が同図(b)に示すようにHレベルで第1エッジ検出器40が動作している場合について説明する。

【0029】(i)第1エッジ検出器40はバースト信号①の立ち上がりを検出し、図5(e)に示すようなckに同期した1ck幅の第1エッジ検出信号④が出力する。この信号④がインバータ53で反転し第1カウンタ51のLD端子に入力して初期値「Dh」をロードするので、第1カウンタ51の計数値は図5(j)に示すように変化する。すなわち、ロード時に計数値が「Fh」から「Dh」に変化するとともに、図5(k)に示すようにRCOがLレベルに変化してENPをHレベルとして第1カウンタ51をイネーブルとし計数を始める。そして、第1カウンタ51の計数値が「Fh」に至るとRCOがHレベルに変化してENPをLレベルとして第1カウンタ51をディスエーブルとする。このため、BCLKXは、図5(n)に示すように、同図(k)のRCOを1ck遅延させた信号となる。

【0030】(ii)第2エッジ検出器41は再生バースト信号②の立ち上がりを検出して図5(g)に示すような第2エッジ検出信号⑥をアンドゲート46に出力し、1クロック遅延器43は第2エッジ検出信号⑥を1クロック遅延して同図(h)に示すような1ck遅延信号⑦を出力する。また、2クロック幅化回路42は信号④のパルス幅を2倍して図5(f)に示すような2ck幅化信号⑤をアンドゲート45、46に出力する。このため、図5(i)に示すような信号⑧がナンドゲート54に入力するとともに、第2カウンタ55のLD端子に入力する。この信号⑧は、信号⑤がHレベルでかつ信号⑥又は⑦の一方がHレベルの期間だけHレベルとなる信号を反転させ、1ck遅延させた信号となる。

【0031】(iii)信号⑧により第2カウンタ55のL

D端子がLレベルになると、このLレベルの間(1ck期間)第2カウンタ55は初期値「Dh」をロードするので、第2カウンタ55の計数値は図5(1)に示すように変化する。すなわち、ロード時に計数値が「Fh」から「Dh」に変化するとともに、図5(m)に示すようにRCOがLレベルに変化してENPをHレベルとして第2カウンタ55をイネーブルとし計数を始める。そして、第2カウンタ55の計数値が「Fh」に至るとRCOがHレベルに変化してENPをLレベルとして第2カウンタ55をディスエーブルとする。このため、BLOCKは図5(o)に示すようにBCLKXの立ち上がり時にHレベル状態にあり、Hレベル期間が3ck、Lレベル期間が5ckのパルス信号となる。

【0032】(iv)積分回路34内のアップダウンカウンタ60は、BLOCKがHレベルのときにアップカウンタとして動作してBCLKXの立ち上がりを計数するので、8ck毎に+1カウントする。このため、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が増加して「C0h」に至ると、JK-FF64のQ出力がLレベルからHレベルに変化する。すなわち、計数値が「C0h」に至るとアップダウンカウンタ60はQ7=1、Q6=1となり、アンドゲート62の出力がHレベル(ノアゲート63の出力はLレベル)となってJK-FF64のJ端子に入力するので、Q出力がLレベルからHレベルに変化してロック検出信号を切換器20に出力する。このため、切換器20が第1VCO18の出力を選択し、SCKとして第1出力端子21から出力している状態が継続する。このSCKは、分周器22で整数分の1に分周され再生バースト信号②として位相比較器16にフィードバックされる。このため、切換器20で選択された第1VCO18による位相同期制御により、再生バースト信号②の位相を進ませる制御が行われてバースト信号①と位相が一致する。

【0033】(C)また、切換器20が第1VCO18を選択し、再生バースト信号②はバースト信号①より位相進みであるが、その位相差が2ck未満の場合は、前記(B)の場合と同様に作用する。すなわち、第1エッジ検出信号④と第2エッジ検出信号⑥の現われるタイミングが前記(B)の場合と逆となり、これに伴って後続の信号⑤⑦⑧、第1、第2カウンタ51、55の計数値、RCOの現われるタイミングが前記(B)の場合と異なるが、BCLKXは図6(n)に示すようなタイミングで発生し、BLOCKが図6(o)に示すようにBCLKXの立ち上がり時にHレベル状態にあり、Hレベル期間が3ck、Lレベル期間が5ckのパルス信号となる。このため、前記(B)の場合と同様にして、積分回路34内のアップダウンカウンタ60がBLOCKのHレベルでアップカウンタとして動作しBCLKXの立ち上がりを計数するので、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が増加して「C0

h」に至ると、JK-FF64のQ出力がLレベルからHレベルに変化し、ロック検出信号を切換器20に出力する。このため、切換器20が第1VCO18の出力を選択し、SCKとして第1出力端子21から出力している状態が継続する。このSCKは分周器22で整数分の1に分周され再生バースト信号②として位相比較器16にフィードバックされる。したがって、切換器20で選択された第1VCO18による位相同期制御により、再生バースト信号②の位相を遅らせる制御が行われてバースト信号①と位相が一致する。

【0034】(D)また、切換器20が第1VCO18を選択し、再生バースト信号②がバースト信号①より2ck以上位相遅れの場合を、図7及び図8を併用して説明する。説明の便宜上、バースト信号①、再生バースト信号②が図7(c)(d)に示すようなタイミングで現われ、バースト期間信号③が同図(b)に示すようにHレベルで第1エッジ検出器40が動作している場合にについて説明する。

【0035】(i)第1エッジ検出器40はバースト信号①の立ち上がりを検出し、図7(e)に示すようなckに同期した1ck幅の第1エッジ検出信号④が出力する。この信号④がインバータ53で反転し第1カウンタ51のLD端子に入力して初期値「Dh」をロードするので、第1カウンタ51の計数値は図7(j)に示すように変化する。すなわち、ロード時に計数値が「Fh」から「Dh」に変化するとともに、図7(k)に示すようにRCOがLレベルに変化してENPをHレベルとして第1カウンタ51をイネーブルとし計数を始める。そして、第1カウンタ51の計数値が「Fh」に至るとRCOがHレベルに変化してENPをLレベルとして第1カウンタ51をディスエーブルとする。このため、BCLKXは、図7(n)に示すように、同図(k)のRCOを1ck遅延させた信号となる。

【0036】(ii)第2エッジ検出器41は再生バースト信号②の立ち上がりを検出して図7(g)に示すような第2エッジ検出信号⑥をアンドゲート46に出力し、1クロック遅延器43は第2エッジ検出信号⑥を1クロック遅延して同図(h)に示すような1ck遅延信号⑦を出力する。また、2クロック幅化回路42は信号④のパルス幅を2倍して図7(f)に示すような2ck幅化信号⑤をアンドゲート45、46に出力する。このため、図7(i)に示すようなHレベルを継続する信号⑧がナンドゲート54に入力するとともに、第2カウンタ55のLD端子に入力する。この信号⑧は、信号⑤がHレベルでかつ信号⑥又は⑦の一方がHレベルの期間だけHレベルとなる信号を反転させ、さらに1ck遅延させた信号となるので、バースト信号①と再生バースト信号②の位相差が2ck以上の間はHレベルを継続する。

【0037】(iii)信号⑧がHレベルを継続すると、第2カウンタ55のLD端子もHレベルを継続し初期値

「Dh」をロードしないので、第2カウンタ55の計数値は図7(1)に示すように「Fh」を継続し、RCOも同図(m)に示すようにHレベルを継続し、第2カウンタ55をディスエーブルとする。このため、BLOCKも図7(o)に示すようにLレベルを継続する。

【0038】(iv)積分回路34内のアップダウンカウンタ60は、BLOCKがLレベルのときにダウンカウンタとして動作してBCLKXの立ち上がりを計数するので、8ck毎に-1カウントする。このため、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が減少して「3Fh」に至ると、JK-FF64のQ出力がHレベルからLレベルに変化する。すなわち、計数値が「3Fh」に至るとアップダウンカウンタ60はQ7=0、Q6=0となり、ノアゲート63の出力がHレベル(アンドゲート62の出力はLレベル)となつてJK-FF64のK端子に入力するので、Q出力がHレベルからLレベルに変化してアンロック検出信号を切換器20に出力する。このため、切換器20が第2VCO19の出力を選択しSCKとして第1出力端子21から出力する。例えば、ロック検出状態からアンロック検出状態に変化して位相差が2ck以上となると、VCOは切換器20によって第1VCO18から第2VCO19に切り換えられる。第2VCO19から出力したSCKは、分周器22で整数分の1に分周され再生バースト信号②として位相比較器16にフィードバックされ、このため、第2VCO19による位相同期制御により、再生バースト信号②の位相を進ませる制御が行われてバースト信号①と位相が一致する。

【0039】前記実施形態例では、ロック・アンロック判定回路は、バースト信号①と再生バースト信号②の位相差が2ck未満か否かでロック、アンロックを判定するようにしたが、本発明はこれに限るものでなく、バースト信号①と再生バースト信号②の位相差がnck(nは2を含む1以上の整数)未満か否かでロック、アンロックを判定するようにした場合についても利用することができる。

【0040】前記実施形態例では、アップダウンカウンタの計数値が増加して第1設定値の「C0h」に達したときに検出回路によってロックを検出し、アップダウンカウンタの計数値が減少して第2設定値の「3Fh」に達したときに検出回路によってアンロックを検出するようにしたが、第1設定値が「C0h」、第2設定値が「3Fh」の場合に限るものでなく、第1設定値を第2設定値より大きくしてヒステリシス効果をもたせた場合について利用することができる。

【0041】前記実施形態例では、発振周波数帯域の異なる2つのパルス信号を出力する電圧制御発振器を第1、第2VCOで構成した場合について説明したが、本発明はこれに限るものでなく、図11に示した従来例のように、所定の発振周波数帯域のパルス信号を出力する

VCOと、このVCOから出力するパルス信号の周波数を1/2に分周した出力する1/2分周器とで構成した場合についても利用することができる。

【0042】前記実施形態例では、バーストロックPLL回路に本発明を利用した場合について説明したが、本発明はこれに限るものでなく、ラインロックPLL回路についても利用することができる。

【0043】前記実施形態例では、積分回路の動作をより安定化させるために、第1エッジ検出器とアップダウンカウンタの間に第1パルス幅拡大回路を設け、ゲート回路とアップダウンカウンタの間に第2パルス幅拡大回路を設けた場合について説明したが、本発明はこれに限るものでなく、第1、第2パルス幅拡大回路を省略した場合についても利用することができる。

【0044】前記実施形態例では積分回路の構成を簡単にするために、積分回路をアップダウンカウンタと検出回路で構成した場合について説明したが、本発明はこれに限るものでなく、ロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時(例えばロック判定時)にその判定回数をアップカウントするとともに他方の判定時(例えばアンロック判定時)にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出するものであればよい。

【0045】前記実施形態例ではロック・アンロック判定回路の構成を簡単にするために、ロック・アンロック判定回路を第1エッジ検出器、2クロック幅化回路、第2エッジ検出器、1クロック遅延器及びゲート回路で構成した場合について説明したが、本発明はこれに限るものでなく、基準信号と比較信号の位相差が基準信号の周波数より高い周波数に設定されたクロックのnクロック未満か否かでロック、アンロックを判定するものであればよい。

【0046】前記実施形態例では、電圧制御発振器が発振周波数帯域の異なる2つのパルス信号を出力する場合について説明したが、本発明はこれに限るものでなく、発振周波数帯域の異なる3以上のパルス信号を出力する場合についても利用することができる。例えば、図9に示すように、LPF17の出力電圧で発振周波数帯域の異なる4つのパルス信号を出力する第1、第2、第3、第4VCO71、72、73、74によって電圧制御発振器を構成し、一定時間毎(例えば図8の「C0h」

(192ckに相当)より十分長い期間毎)に1つのパルス信号を出力する切り換え時間設定用のカウンタ(例えば10ビットのカウンタ)75と、切り換え信号出力用の2ビットのリングカウンタ76とを設け、ロック・アンロック検出回路32の積分回路34から出力するアンロック検出信号(Lレベル信号)をインバータ77で反転させた信号でリングカウンタ76をイネーブル状態とし、カウンタ75から1パルス出力する毎に00、01、10、11の切り換え信号を循環的に切り換えて切

換器 78 に出力するようにした場合にも利用することができる。この場合、簡単な構成で広い周波数範囲の基準信号を取り扱うことができるので、NTSC、PAL、SECAM のカラーデコーダに対応できる。

【0047】

【発明の効果】本発明による PLL 回路は、位相比較器、ローパスフィルタ、電圧制御発振器、切換器、分周器及びロック・アンロック検出回路を具備し、ロック・アンロック検出回路をロック・アンロック判定回路と積分回路で構成し、ロック・アンロック判定回路で基準信号と比較信号の位相差が n クロック（例えば 2 クロック）未満か否かに基づいてロック、アンロックを判定し、積分回路でロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時（例えばロック判定時）にその判定回数をアップカウントするとともに他方の判定時（例えばアンロック判定時）にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出し、積分回路から出力するロック、アンロックの検出信号に基づいて切換器で電圧制御発振器から出力する発振周波数帯域の異なる複数のパルス信号の中から 1 つのパルス信号を切り換えて出力するように構成した。このため、ロック・アンロック検出回路をロジックで構成可能なロック・アンロック判定回路と積分回路で構成することができ、ロック・アンロック検出回路を A/D 変換器とマイコンで構成した従来例と比べて、回路構成を簡単にすることができる。さらに、ロック・アンロック判定回路でロック、アンロックと判定されても、直ちにロック、アンロックとするのではなく、積分回路でヒステリシスをもたせてロック、アンロックとしているので、より安定したクロックを供給することができる。

【0048】ロック・アンロック判定回路を第 1 エッジ検出器、2 クロック幅化回路、第 2 エッジ検出器、1 クロック遅延器及びゲート回路で構成した場合には、ロック・アンロック判定回路の構成を簡単にすることができる。

【0049】積分回路を、ロック・アンロック判定回路の判定信号をアップ・ダウン制御信号として第 1 エッジ検出器の検出信号を計数するアップダウンカウンタと、このアップダウンカウンタの計数値が増加して第 1 設定値に達したときにロックを検出し、アップダウンカウンタの計数値が減少して第 2 設定値（第 1 設定値より小さい値）に達したときにアンロックを検出する検出回路とで構成した場合には、積分回路の構成を簡単にすることができる。

【0050】第 1 エッジ検出器とアップダウンカウンタの間に第 1 エッジ検出器から出力する検出信号のパルス幅を広げてアップダウンカウンタへ出力する第 1 パルス幅拡大回路を設け、ゲート回路とアップダウンカウンタの間にゲート回路から出力する判定信号のパルス幅を広

げてアップダウンカウンタへ出力する第 2 パルス幅拡大回路を設けた場合には、積分回路の動作をより安定化させることができる。

【0051】基準信号をバースト切出し回路によって複合映像信号から切り出されたカラーバースト信号とした場合には、本発明をバーストロック PLL 回路に利用することができる。

【0052】基準信号を水平同期分離回路によって複合映像信号から分離された水平同期信号とした場合には、本発明をラインロック PLL 回路に利用することができる。

【図面の簡単な説明】

【図 1】本発明による PLL 回路の一実施形態例を示すブロック図である。

【図 2】図 1 中のロック・アンロック検出回路を示すブロック図である。

【図 3】図 1 中の積分回路を示すブロック図である。

【図 4】図 1 において、再生バースト信号②とバースト信号①の位相差が 0 の場合の作用を説明するタイミングチャートである。

【図 5】図 1 において、再生バースト信号②がバースト信号①より位相遅れであるが位相差が 2 c k 未満の場合の作用を説明するタイミングチャートである。

【図 6】図 1 において、再生バースト信号②がバースト信号①より位相進みであるが位相差が 2 c k 未満の場合の作用を説明するタイミングチャートである。

【図 7】図 1 において、再生バースト信号②がバースト信号①より位相遅れで且つ位相差が 2 c k 以上の場合の作用を説明するタイミングチャートである。

【図 8】図 1 中の積分回路の作用を示す説明図である。

【図 9】本発明を発振周波数帯域の異なる 4 つのパルス信号を出力する電圧制御発振器を用いた場合に利用した場合の要部を示すブロック図である。

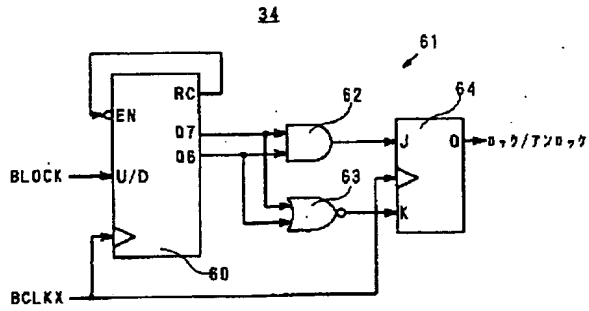
【図 10】従来例 1 を示すブロック図である。

【図 11】従来例 2 を示すブロック図である。

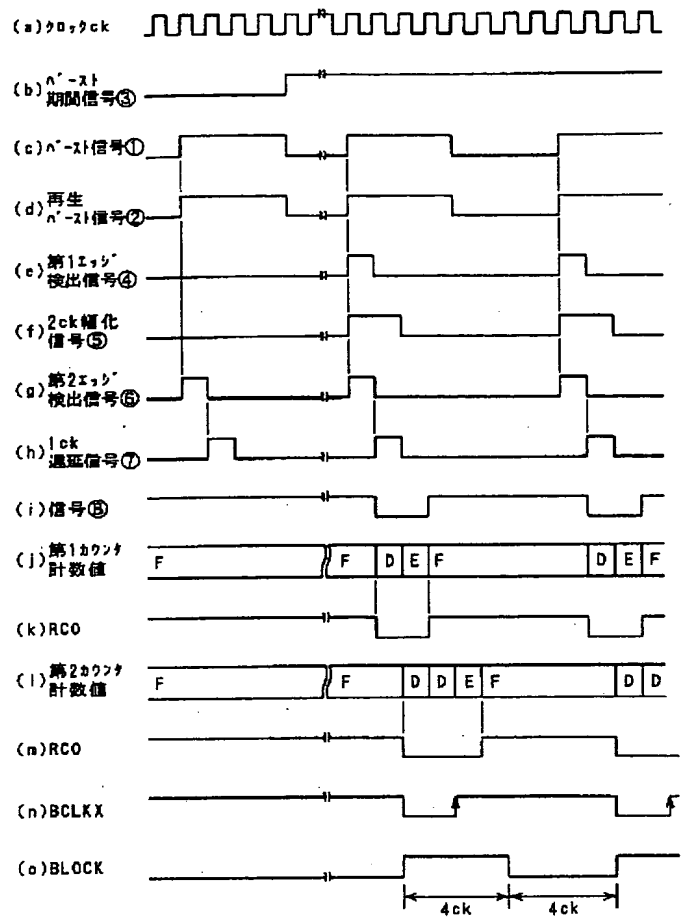
【符号の説明】

10…入力端子、 11…クランプ回路、 12…増幅回路、 13…コンパレータ、 14…バースト切出し回路、 15…同期分離回路、 16…位相比較器、 17…LPF（ローパスフィルタ）、 18…第 1 VCO（電圧制御発振器）、 19…第 2 VCO、 20、 78…切換器、 21…第 1 出力端子、 22…分周器、 23…第 2 出力端子、 26…PLL 回路、 32…ロック・アンロック検出回路、 33…ロック・アンロック判定回路、 34…積分回路、 35…第 1 パルス幅拡大回路、 36…第 2 パルス幅拡大回路、 37…c k を発生するクロック発生回路、 38…PLL 回路、 40…第 1 エッジ検出器、 41…第 2 エッジ検出器、 42…2 クロック幅化回路、 43、 52、 56、 57…1 クロック遅延器、 44…ゲート回路、

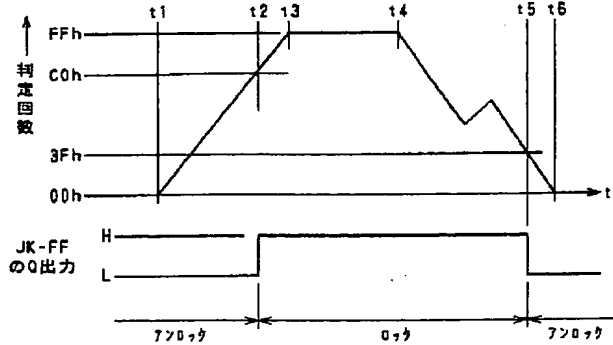
【図3】



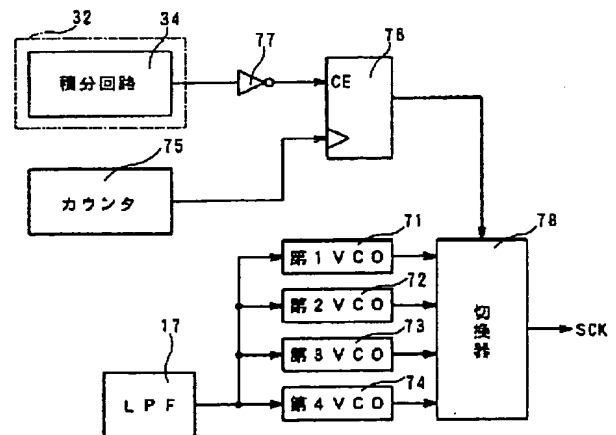
【図4】



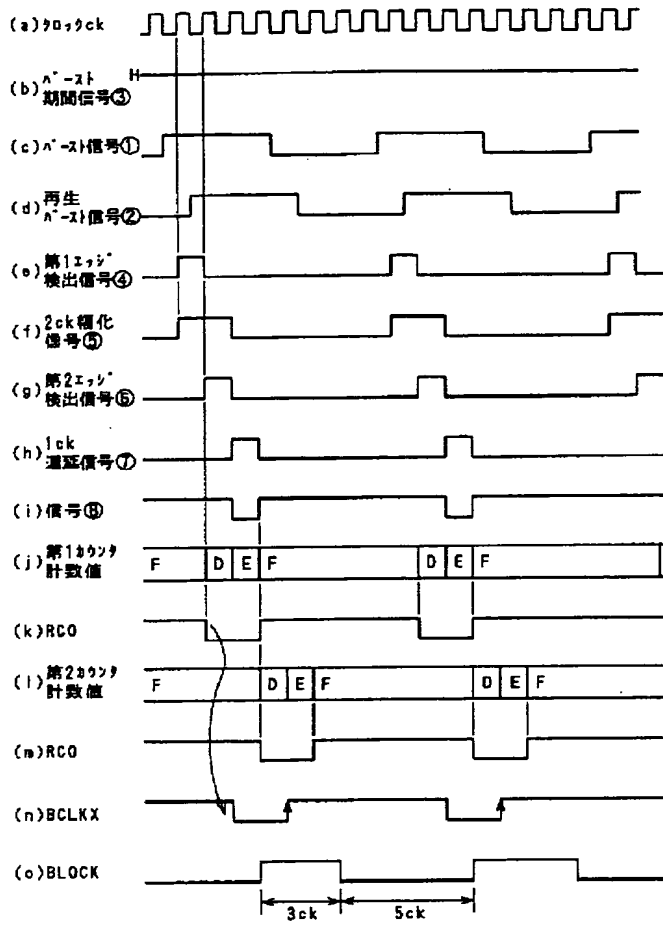
【図8】



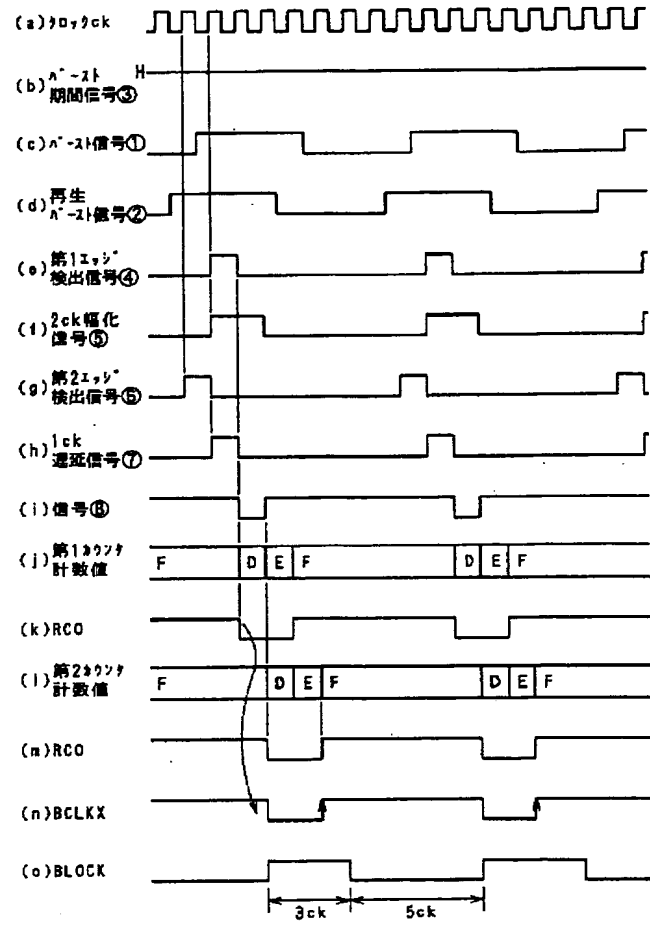
【図9】



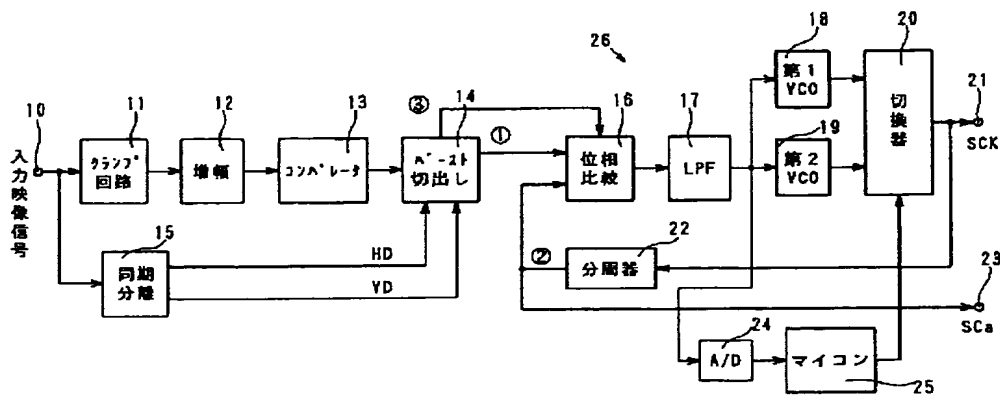
【図5】



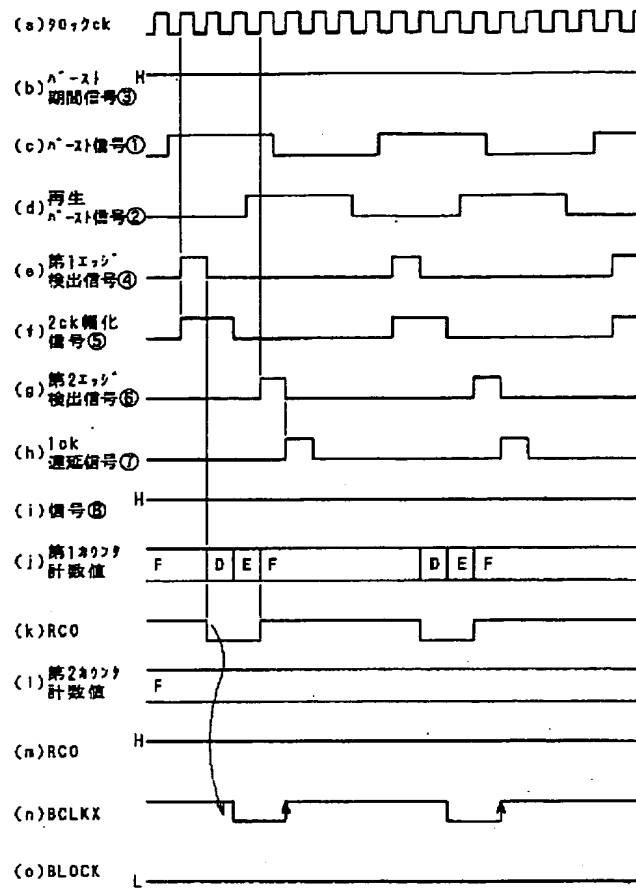
【図6】



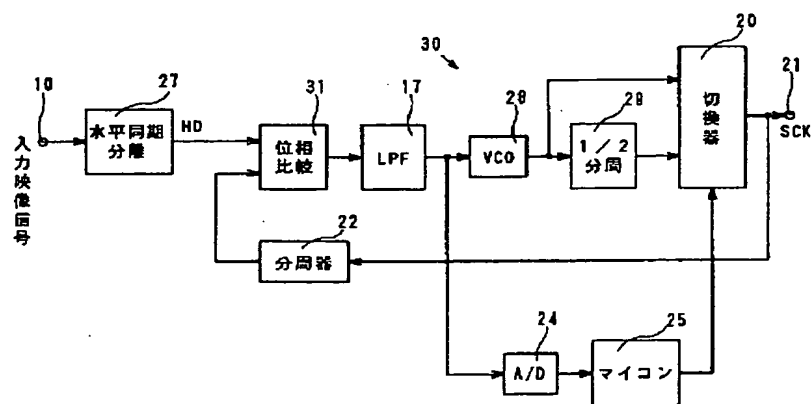
【図10】

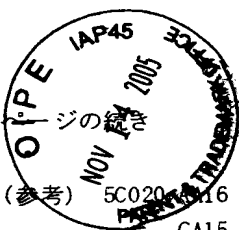


【図7】



【図11】





(14)

特開 2000-286701

フロントページの続き

Fターム(参考) 5C0204 GM16 AA31 AA32 AA35 CA13

CA15

5D044 AB07 DE32 GM12 GM14 GM15

GM16 GM17

5J106 AA04 CC20 CC21 CC38 CC41

CC52 CC58 DD04 DD05 DD06

DD09 DD17 DD43 DD46 EE01

EE09 FF06 GG01 HH10 KK39